



EINLADUNG

Ordentliche Mitgliederversammlung der IMAPS-Deutschland e.V.

Dienstag, 27. Oktober 2009, 17:20 Uhr

Hochschule München, Lothstraße 64, Hauptgebäude R, D-80335 München

Die Mitgliederversammlung findet im Anschluss an den ersten Tag der Vortragsveranstaltung am gleichen Ort statt.

Tagesordnung

- Abschlussbericht 2008 des Vorstandes
- Abschlussbericht 2008 des Schatzmeisters
- Entlastung von Vorstand und Schatzmeister
- Wahlen (1. Vorsitzende(r) und Schriftführer(in))
- vorliegende Wahlvorschläge 1. Vorsitzender: Dr. Markus Detert, Otto-von-Guericke-Universität Magdeburg; Dr. Martin Schneider-Ramelow, Fraunhofer IZM Berlin, vorliegender Wahlvorschlag Schriftführer: Prof. Matthias Fischer, FH Schmalkalden
- Vorläufiger Bericht 2009 des Vorstandes
- Vorläufiger Bericht 2009 des Schatzmeisters
- Vorschau auf 2010
- Verschiedenes (Beziehungen zu IMAPS NA (affiliated membership))

Wahlvorschläge können bis unmittelbar vor der Wahl an *Prof. Dr. Heinz Osterwinter*, Hochschule Esslingen Standort Göppingen, Robert-Bosch-Straße 1, D-73037 Göppingen, gerichtet werden.

Wir bitten um zahlreiches Erscheinen und hoffen auf eine lebhafte Mitgliederversammlung.

Im Anschluss an die Mitgliederversammlung findet traditionsgemäß ein gemeinsames Abendessen in den Augustiner Gaststätten, Neuhauser Str. 16, erster Stock, Grüner Saal, etwa ab 19:30 Uhr statt. Die Gaststätte liegt zwischen Karlsplatz und Marienplatz.

Mitglieder, die nicht an der Konferenz teilnehmen, sind zum Abendessen gegen Zahlung eines Unkostenbeitrages von 30 €- herzlich eingeladen. Für Konferenzteilnehmer ist das gemeinsame Abendessen kostenlos.

Mit freundlichen Grüßen
der Vorstand der IMAPS-Deutschland e.V.

i.A. Prof. Dr. Jens Müller

Hybridtechnologien an der TU Ilmenau

Im Jahre 1976 wurde an der damaligen *TH Ilmenau* eine Arbeitsgruppe *Hybridtechnik* unter der Leitung von *Dr. H. Thust* gegründet, die sich die Dickschicht-technik als Forschungsschwerpunkt wählte. Ziel der Arbeiten waren Untersuchungen an neuentwickelten Materialien und Applikationen, wie beispielsweise für den Hochfrequenzeinsatz hybrider Schaltungen. In der Aufbauphase der Arbeitsgruppe mussten dazu zunächst die technologischen Einrichtungen beschafft beziehungsweise seinerzeit häufig auch selbst gebaut werden.

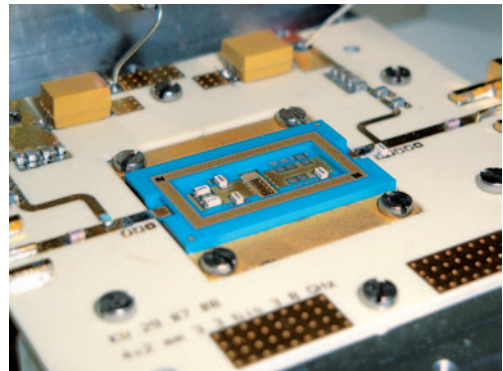
1992 wurde aus der *TH* die *TU Ilmenau* und unter den ersten 14 berufenen Professoren neuen Rechts waren auch *G. Winkler* (Fachgebiet *Konstruktion und Technologie der Elektronik*) und *H. Thust* (Fachgebiet *Mikroperipherik*). Forschungsschwerpunkt auf dem Gebiet der Hybridtechnik wurde schnell die LTCC-Technologie. Im Jahre 2002 wurde dann das *Zentrum für Mikro- und Nanotechnologien* eröffnet und beide Fachgebiete waren Gründungsmitglieder. Nunmehr konnten Teile der Labors in den Reinraum verlegt werden, so dass auch Untersuchungen an hochaufgelösten Strukturen möglich waren. Nach der Emeritierung von *Prof. Winkler* und *Prof. Thust* wurde aus den beiden Fachgebieten 2008 das Fachgebiet *Elektroniktechnologie* unter der Leitung von *Prof. J. Müller*. Er hatte bereits seit 2005 die Nachwuchsforschergruppe *Funktionalisierte Peripherik* geleitet, die eng mit dem Fachgebiet zusammenarbeitet.

Im ZMN steht heute die komplette Ausrüstung für den Aufbau von Standard-Dickschicht- und LTCC-Schaltkreisen zur Verfügung. Diese können anschlie-

ßend mittels Löt- oder Drahtbondtechnik hybridisiert werden. Die Strukturierung der ungebrannten LTCC-Folien wird entweder mechanisch (Stanzen) oder mit-



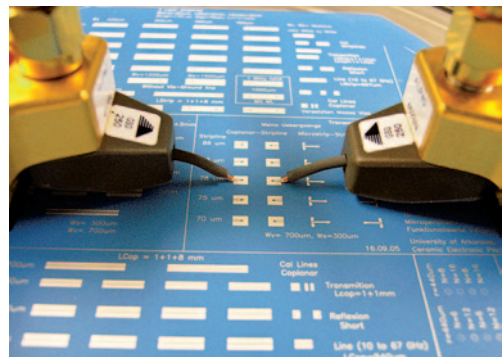
Blick in das LTCC-Labor



Demonstrator eines WiMax Verstärkers im Rahmen des MobileGaN-Projekts (Design: EADS, LTCC: TU Ilmenau)



Die Laboreinrichtungen befinden sich zum größten Teil im ZMN



Teststruktur für HF-Untersuchungen

tels Laser vorgenommen. Ergänzend zur Standard-technologie sind auch noch Anlagen zur Verarbeitung fotosensibler Pasten und für das druckunterstützte Sintern (PAS) vorhanden. Der Entwurf wird mittels aktueller CAD-Software durchgeführt.

Die Forschungsaufgaben der letzten Jahre konzentrierten sich unter anderem auf spezielle LTCC-Anwendungen, beispielsweise für den Satelliteneinsatz (Projekt *KERAMIS 1* und 2). Weiterhin wurden umfangreiche Arbeiten zur Untersuchung von HF- und Mikrowellenstrukturen in Multilayeraufbauten durchgeführt. Ein weiteres Forschungsthema ist die Wärmeverteilung in LTCC-Strukturen, diese Arbeiten führen zu verbesserten Entwärmungskonzepten für Leistungsbaugruppen.

Das Fachgebiet und die Nachwuchsforschergruppe bieten diverse Dienstleistungen für Partner in Industrie und Forschung an. Diese reichen vom Erstellen von Filmmasken über die Herstellung von Drucksieben, Dickschicht- und LTCC-Schaltungen bis zur Nutzung der vorhandenen Analyseeinrichtungen wie Röntgen- und Ultraschallmikroskopie.

Hetero System Integration, der Weg zu neuen Lösungen in der modernen Elektronik

Das 32. *International Spring Seminar on Electronics Technology* ist besonders für junge Wissenschaftler ein Forum, um neueste wissenschaftliche Erkenntnisse auf dem Gebiet der Elektroniktechnologie und des Packaging zu präsentieren. Das *ISSE 2009* fand im Mai 2009 in Brno statt. Organisator war das Department *Mikroelektronik* der *Technischen Universität Brno*. An drei Konferenztagen wurden 17 Vorträge und 142 Poster präsentiert. Diese Beiträge waren eine gute Grundlage für weiterführende wissenschaftliche Diskussionen der insgesamt 152 Teilnehmer aus 14 Nationen.

Das *Internationale Springseminar on Electronics Technology* fand erstmals 1977 in Weissig bei Dresden statt. Die Gründungsuniversitäten waren die *TU Dresden*, die *TU Prag* und die *TU Budapest*. Schon damals stand der Austausch von wissenschaftlichen Erkenntnissen auf dem Gebiet der Elektroniktechnologie im Mittelpunkt. Ein zweiter wesentlicher Punkt ist der Erfahrungsaustausch zu Problemen und Herausforderungen der Ausbildung der Studenten. In den Anfangszeiten betrug die Teilnehmerzahl etwa 30

Tab. 1: Übersicht über die Statistiken der letzten ISSE

Jahr	Organisiert durch	Teilnehmer	Von x Nationen	Mündliche Vorträge	Poster
2003	TU Kosice	95	18	25	78
2004	TU Sofia	115	10	34	88
2005	TU Vienna	102	15	24	65
2006	TU Dresden	104	12	20	86
2007	TU Cluj-Napoca	113	11	21	85
2008	TU Budapest	159	17	23	118
2009	TU Brno	152	14	17	142

Wissenschaftler und Studenten, wobei in der Regel jeder Teilnehmer einen Vortrag präsentierte. Der Konferenzort wechselte zunächst zwischen Dresden, Budapest und Prag. Als Konferenzsprache war von Anfang an Englisch vorgesehen. Im Laufe der Zeit stießen immer neue Universitäten (*Abb. 1*) hinzu und auch die Teilnehmerzahl wuchs ständig. *Tabelle 1* gibt einen Überblick aus der Entwicklung der letzten Jahre.

Heute ist dieses europäische *Electronic-Packaging-Network* ein internationales Forum für die Verbreitung von Erfahrungen in Wissenschaft und Ausbildung. Sie fördert und koordiniert die Ausbildung und Zusammenarbeit von jungen Wissenschaftlern auf dem Gebieten der Elektroniktechnologie, der Nano- und Mikroelektronikforschung und ist ein



Abb. 1: Überblick über die wesentlichen Träger der ISSE

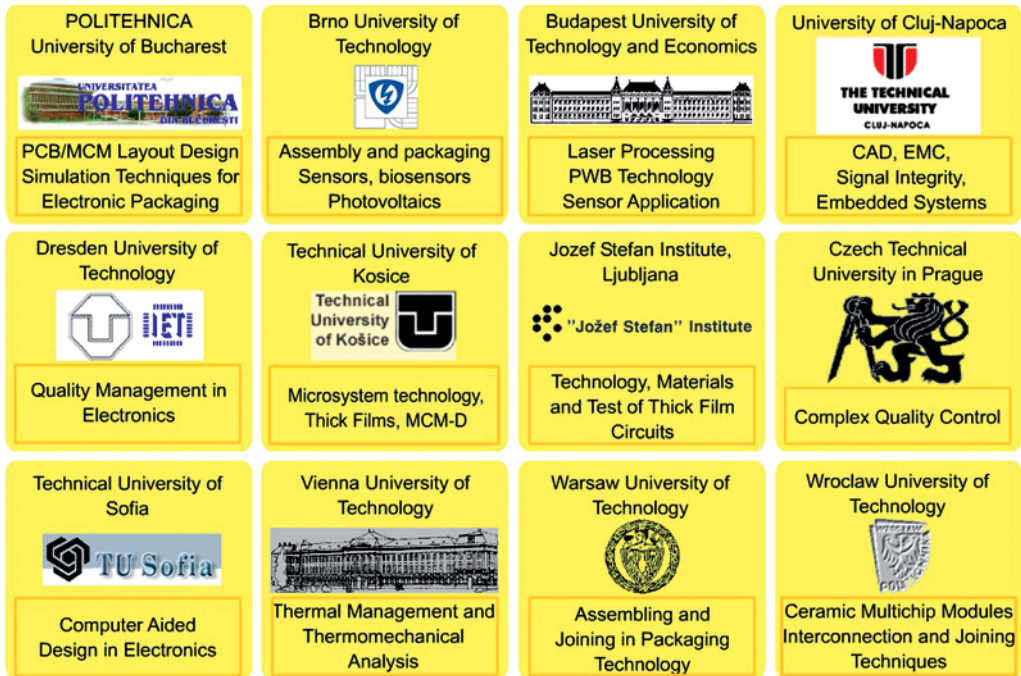


Abb. 2: Forschungsrichtungen (Beispiele, keine komplette Übersicht) an den beteiligten Instituten

wesentlicher Ausgangspunkt für die wissenschaftliche Kommunikation der beteiligten Universitäten und deren Industriepartner. Nicht wenige internationale Forschungsprojekte oder auch andere Formen der internationalen Zusammenarbeit haben ihren Ausgangspunkt auf diesem Seminar.

Eine wesentliche internationale Anerkennung fand das Seminar durch die Aufnahme in die Konferenzzyklen der *IEEE* im Jahre 2001. *Abbildung 1* gibt einen Überblick über die geografische Verteilung der Hauptorganisatoren der Konferenz und die *Abbildung 2* Beispiele für Forschungs- und Arbeitsrichtungen an den beteiligten Instituten. Neben dieser *Kernmannschaft* sind auch ständig oder teilweise Teilnehmer aus den USA, Großbritannien, Irland, den skandinavischen Staaten, der Ukraine, Russland, Serbien vertreten.

Die Organisation jeder einzelnen Konferenz liegt im Wesentlichen beim lokalen Organisator (Local Chair). Das Internationale *Steering Komitee* kontrolliert und steuert diese Organisation. Die Mitglieder in diesem Komitee sind Vertreter der organisierenden Hochschulen (*Abb. 1*) sowie Vertreter von weiteren

ständig teilnehmenden Hochschulen. Der Vorsitzende (General Chair) dieses Komitees wird für jeweils fünf Jahre gewählt. Zurzeit nimmt *Prof. Wolter* vom *Institut für Aufbau- und Verbindungstechnik der Elektronik* der *TU Dresden* diese Aufgabe als Vorsitzender wahr.

Der lokale Organisator legt den Titel und die Schwerpunkte der jährlichen Konferenz fest. Im November erfolgt der Call for Papers. Jeder Teilnehmer ist aufgefordert, ein Abstrakt einzureichen. Für diese Abstrakte gibt es spezielle Regeln, die über die gewöhnlichen Regeln für viele andere Konferenzen hinausgehen. Das Abstrakt wird auf der Basis einer vorgegebenen Formatierung (max. zwei Seiten) druckfähig erwartet. Von allen akzeptierten Beiträgen wird zu Beginn der Konferenz ein Abstraktbuch hergestellt und jedem Teilnehmer überreicht. Die Evaluierung der Abstrakte erfolgt durch die Mitglieder des *Steering Komitees* sowie weiterer Fachexperten der beteiligten Hochschulen. Jeder Beitrag wird mindestens durch drei Experten begutachtet. Damit ist sichergestellt, dass eine objektive Beurteilung erfolgt. Schwerpunkte der Evaluierung sind

die Passfähigkeit der eingereichten Beiträge zu den jeweiligen Schwerpunkten der jährlichen Konferenz und die jeweilige Qualität des Beitrags. Die Evaluatoren entscheiden über eine Annahme beziehungsweise Rückweisung des Beitrags, geben Hinweise für eventuell noch notwendige Änderungen und geben Empfehlungen für die Art der Präsentation (orale oder Posterpräsentation). Das wissenschaftliche Komitee der *ISSE* entscheidet dann endgültig über das Programm der Konferenz. Für die mündlichen Präsentationen werden vorzugsweise junge Wissenschaftler ausgewählt. Da diese Konferenz durch eine Festlegung des *Steering Komitees* keine Parallelveranstaltungen hat und die Anzahl der Präsentationen insbesondere in den letzten Jahren angestiegen ist (*Tab. 1*), ist diese Auswahl teilweise recht anspruchsvoll. Für die akzeptierten Präsentationen bedeutet dieser Auswahlprozess einen höheren Stellenwert für die jeweiligen Verfasser (reviewed paper).

Die Autoren der angenommenen Abstrakte werden informiert und erstellen die endgültige Version ihrer Veröffentlichung. Die Formatierung dieser Dokumente erfolgt auf der Basis der Vorgaben von *IEEE-Explorer* (in der Regel sechs Seiten). Die Teilnehmer der Konferenz erhalten eine CD mit sämtlichen Vorträgen. Sind die Vorgaben von *IEEE* erfüllt (regelkonformes Dokument; eine vorhandene Copyright-Erklärung für das *IEEE* und eine erfolgte Präsentation auf der Konferenz) werden im Nachgang der Konferenz die entsprechenden Unterlagen zur Aufnahme in den *IEEE-Explorer* bereitgestellt.

Dass *ISSE* 2009 wurde organisiert durch das Department Mikroelektronik an der Technischen Universität Brno. Chairman des 32. Seminars war *Prof. Ivan Szendiuch* (*Abb. 4*). Die Konferenz fand vom 13.5. bis zum 17.5.2009 statt.

Folgende Schwerpunkte der Konferenz waren vorgegeben:

- Neue Materialien und Prozesse
- Innovationen in Filmtechnologien und LTCC
- Advanced Packaging und Verbindungstechnologien
- Thermische Charakterisierung, Zuverlässigkeiten und Qualität
- Systemmodellierung und -Simulation

- Bioelektronik und Ökologie in der Elektroniktechnologie
- Nanotechnologie, Nanomaterialien und Nanoelektronik
- Ausbildung in der Elektroniktechnologie

Vorträge

Die Konferenz hatte drei orale Sessions und insgesamt 10 Postersessions (jeweils 2 parallele Sessions). Der General Chair der *ISSE* *Prof. Wolter* (*Abb. 3*) und



Abb. 3: Der General-Chair der *ISSE* *Prof. Wolter* bei seiner Eröffnungsansprache



Abb. 4: Der lokale Chairmen der *ISSE* 2009 *Prof. Ivan Szendiuch* nach der Übergabe der Ehrenurkunde

der lokale Chairmen *Prof. Szendiuch (Abb. 4)* eröffneten die Konferenz.

Auf der Keynote-Session stellte zunächst der Dekan der Fakultät *Elektrotechnik, Prof. Vrba*, die Hochschule vor. Danach veranschaulichte *Jiri Nykodym* von der *Czechinvest* Möglichkeiten für Forschung und Entwicklung in der Tschechischen Republik. *Prof. Sinnaduraj* von der *Universität Greenwich* gab einen Überblick über die Wechselwirkungen von Elektronik, Energie und Umwelt. *Prof. Morris* von der *Portland State University* erläuterte die Verbindung zwischen *IEEE* und *HKN (Eta Kappa Nu; Electrical and Computing Engineering Honor Society)*. *HKN* ist eine Non-Profit-Organisation, die herausragende Leistungen auf dem Gebiet der Elektronik und Computerwissenschaften unterstützt und würdigt. *Vladimír Strakoš*, ein Vertreter aus der tschechischen Halbleiterschmiede aus *Roznov pod Radhostem* (früher *Tesla*), gab einen Überblick über Design- und technologische Grenzen von Bipolar-Power-Transistoren.

Die erste mündliche Session wurde mit einem Vortrag von *Jim Morris (Portland State University)* über die Modellierung des Aushärtens von Polymeren für das Packaging in der Mikroelektronik eröffnet. *S. Meyer* von der *TU Dresden* gab einen Überblick über Anwendungsmöglichkeiten von Methoden des Data-Minings für die Elektronik. *M. Hrovat* vom *Jožef Stefan Institut* aus *Ljubljana* (Slowenien) referierte über Untersuchungen des Einsatzes von Opferschichten in 3D-LTCC-Strukturen. *D. Bonfert* vom *Fraunhofer Institute für Zuverlässigkeit und Mikrointegration* untersuchte das Pulsverhalten von durch Polymere geschützten Geräten. *M. Byrczek* von der *TU Wroclaw*

berichtete über Untersuchungen des Wachstums von Zinkoxid-Nanorods auf ITO beschichteten Glassubstraten. Aus dem gleichen Institut präsentierte *M. Malewicz* Erfahrungen der Synthese von Zinkoxid-Nanotiles durch mikrowellengeheizte nass-chemische Prozesse. *J. Lange* von der *TU Dresden* demonstrierte generelle Visualisierungsmöglichkeiten von technologischen Prozessflüssen.

Die zweite mündliche Session wurde durch *I. Plotog* von der *TU Bukarest* eröffnet. Sein Thema war das 4P (Pin-Pad-Paste-Prozess) Modell zur Bewertung der Lötqualität. *A. Steller* von der *Volkswagen-AG* gab einen Einblick in Analysemethoden und Bewertungskriterien der Lötstellenzuverlässigkeit in Automotivanwendungen. *J. Nicolics* von der *TU Wien* behandelte am Beispiel von Power-LEDs die Einflüsse der Leiterplatte auf das thermische Verhalten. *S. Stoyanov* von der *Universität Greenwich* modellierte und analysierte die Prozessfähigkeit von fokussierten Ionenstrahlen. *Y.B. Lee*, der ebenfalls aus *Greenwich* kommt, stellte Analysetools für die thermische Charakterisierung, der Güte und der Zuverlässigkeit von stabilen elektronischen Anzeigen vor.

Im Gegensatz zu den Vorjahren wurden die Anzahl der oralen Präsentationen reduziert, damit die vielen Posterpräsentationen zeitlich eingeordnet werden konnten. Die Poster wurden in 10 Sessions mit jeweils etwa 15 Postern präsentiert. Jedes Poster wurde in einem Kurzvortrag von etwa fünf Minuten vorgestellt. Danach erfolgte die Fortführung der wissenschaftlichen Diskussionen direkt am Poster.

Die Bewertung der Vorträge ist ein wichtiger Teil der Konferenz. Jedes Mitglied des *Steering-Komitees* bewertet alle oralen Präsentationen. Für die Evaluierung der Poster konnte gewährleistet werden, dass jedes Poster zumindest von vier Mitgliedern des *Steering-Komitees* bewertet wurde.

Alle Bewertungen wurden getrennt nach den *jungen* und *alten* Wissenschaftlern durchgeführt. Als junge Wissenschaftler zählen Studenten und PhD-Studenten (Doktoranden). Professoren, Hochschullehrer und Mitglieder des *Steering-Komitees* wurden nicht in die Evaluierung einbezogen. Bei der Verteilung der Preise wurden besonders die jungen Wissenschaftler berücksichtigt.



Blick in den Tagungssaal der ISSE 2009

Preisträger

Beste Vorträge

M. Byrczek, Wrocław	Investigation of Zinc Oxide Nanorods Growth on ITO Coated Glass Substrates
D. Bonfert, München	Pulsed Behavior of Polymer Protection Devices
A. Steller, Wolfsburg	Solder Joint Reliability in Automotive Applications: Analysis Methods and Assessment Criteria

Beste Poster

B. Horváth; Budapest	Investigation of Tin Whisker Growth: The Effects of Ni and Ag Underplates
F. Cingroš; Prag	Magnetic Field Control of Heat Pipes
R. G. Bozomitu; Iasi	Second Order Gm-C Filters Implementation Using a New Type of Transconductor Cell Based on "Multi-sinh" Doublet
G. Fercher; Wien	Robust Ceramic Capillary Electrophoresis Analysis Device
I-A. Hapenciuc; Bukarest	Autonomous Multi-Sensor Platform with Stereo Vision
J. Wissenwasser; Wien	Silicone-based Encapsulation of a Cell Culture Measurement Device under Physiological Conditions
N. Militaru; Bukarest	Microstrip Bandpass Filters with a Maximum Number of Attenuation Poles

Die Überreichung der Urkunden an die Preisträger erfolgte auf der Abschlussveranstaltung des *ISSE 2009*. Diese zeitnahe Auszeichnung ist insbesondere für die jungen Wissenschaftler ein Ansporn für weitere hohe wissenschaftliche Leistungen.

Eine wichtige Ergänzung für jede *ISSE*-Konferenz ist das kulturelle Zusatzprogramm. Ein Orgelkonzert im Dom von Brno, ein Ausflug in die Karsthöhlen der Punkva (ein kleines Flüsschen mit der Möglichkeit unterirdisch Boot zu fahren) und die Besichtigung von Schloss Austerlitz (in der Nähe des Ortes fand die gleichnamige Schlacht statt) waren gute Möglichkeiten, die sicherlich nicht nur wissenschaftlichen Diskussionen fortzuführen und sich dem Networking zu widmen.

Das *ISSE 2009* klang mit einem Ausblick auf die nächsten Jahre aus. Das 33. *ISSE* findet im Mai 2010 in Warschau statt. Der Chairmen dieser Konferenz wird *Dr. Ryszard Kiesiel* von der *TU Warschau* sein. Für das Jahr 2011 ist die Konferenz in der Slowakei geplant. Unter Leitung von *Prof. Alena Pietrikova* wird die *TU Kosice* die Organisation übernehmen.

Sponsoren

International Microelectronics And Packaging Society – CZ/SK Chapter
IEEE's Components, Packaging & Manufacturing Technology Society
CzechInvest – Investment and Business Development Agency

Kontakt

Dr.-Ing. Heinz Wohlrabe, Technische Universität Dresden, Zentrum für Mikrotechnische Produktion der Elektronik, Sekretär des Internationalen Steering Komitees, wohrlabe@zmp.et.tu-dresden.de, www.zmp.et.tu-dresden.de
ISSE2009.org

Nano-Verbindungstechnik – statt Löten oder Kleben

Die Forderung nach thermisch hochbelastbaren und dazu noch zuverlässigen elektrischen Komponenten ist mit der herkömmlichen Verbindungstechnik, also Löten oder Kleben, kaum zu realisieren. Durch Drucksintern von speziellen nanoskaligen Silberpulvern lassen sich dagegen langzeitstabile und hochtemperaturfeste Chip- und Substratkontakte herstellen.





len. Diese Sinterverbindungen erfüllen die Zuverlässigkeitsanforderungen der neuen Hochtemperatur-elektronik weit über 250 °C hinaus.

Im Automobilbereich kommt vermehrt Regel- und Leistungselektronik unter härtesten Bedingungen bezüglich Temperatur und Vibration zum Einsatz. Während das Halbleitermaterial Silizium problemlos einsetzbar ist, kommt die auf Löten und Kleben beruhende Aufbautechnik bei Temperaturen oberhalb von ungefähr 200 °C an ihre Grenzen. Derartige Temperaturen werden aber bei motornaher oder getriebener Elektronika leicht erreicht.

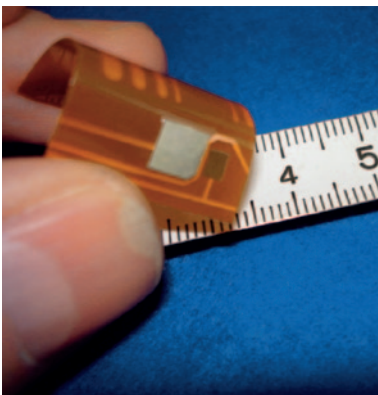
Diese sehr hohen Anforderungen lassen Ingenieure verstärkt nach neuen Lösungen suchen. Bei der Nano-Verbindungstechnik werden bis zu 5 µm dünne Schichten aus Silbernanopulver auf die zu verbindenden Oberflächen aufgebracht. Die Verbindungspartner werden darauf hin zusammengepresst und bei Temperaturen zwischen 200 und 250 °C kurz gesintert. Die Prozesszeiten liegen dabei unter 10 Sekunden.

Diese Verbindungstechnik bietet mehrere entscheidende Vorteile. Als reine Festkörperreaktion ergeben sich völlig lunkerfreie Verbindungsschichten ohne Verunreinigungen oder Flussmittlrückstände. Die Verbindung besitzt eine ausgezeichnete elektrische und thermische Leitfähigkeit (40 MS/m bzw. 250 W/(mK)) und eine hohe mechanische Festigkeit, was vor allem bei Entwärmungsaufgaben vorteilhaft ist.

Die Verbindung wird sich erst bei Temperaturen von 960 °C, dem Schmelzpunkt von Silber, wieder lösen. Dadurch wird eine sequentielle Prozessführung ermöglicht. Es können mehrere Bauelemente nacheinander auf demselben Träger verbunden werden, ohne dass eine frühere Verbindung wieder *aufgelötet*. Dies ermöglicht auch komplexe, 3-dimensionale Aufbauten. Die Verbindungsschicht besteht aus reinem Silber, ist also bleifrei und gut umweltverträglich.

Da auch spezielle Kunststofffolien die Prozess-temperaturen überstehen, können Bauelemente auch auf Folien, auch doppelseitig, verbunden werden.

Dr. Palm/Prof. Dr. Waag, Technische Universität Carolo-Wilhelmina zu Braunschweig, Institut für Halbleitertechnik, Hans-Sommer-Straße 66, D-38106 Braunschweig



Stressmessung in der Aufbau- und Verbindungstechnik – Ergebnisse aus dem Verbundprojekt iForceSens

Dr.-Ing. Thomas Schreier-Alt, Dipl.-Ing. Katrin Niehoff, Dr.-Ing. Frank Ansorge Fraunhofer IZM,
Oberpfaffenhofen
Dipl.-Ing. (FH) Florian Schindler-Saefkow, Fraunhofer IZM, Berlin
Dr. Hartmut Kittel, Robert Bosch GmbH, Abstatt

Innerhalb des BMBF-Verbundprojektes iForceSens wurde unter der Koordination der Robert Bosch GmbH ein Stressmesssystem zur Erfassung der mechanischen Belastung von Mikrosystemen entwickelt. Die Arbeiten wurden in einem Projektverbund zusammen mit dem Transferzentrum Mikroelektronik (TZM), dem Fraunhofer IZM, der Arburg GmbH + Co. KG, der Physikalisch Technischen Bundesanstalt (PTB), der Sensitec GmbH, der MEAS Deutschland GmbH und der Microelectronic Packaging Dresden GmbH (MPD) durchgeführt. Strukturmeechanik- und Fließsimulationen erleichtern dabei die Materialauswahl und beantworten die Frage, mit welchen Verarbeitungsparametern sich ein System zuverlässig und kostengünstig verkapseln lässt.

The aim of the German government-funded joint project iForceSens, coordinated by Robert Bosch GmbH, was the development and validation of a stress measurement system for detection of mechanical stress within microsystems. Project partners apart from Robert Bosch GmbH have been Transferzentrum Mikroelektronik (TZM), Fraunhofer IZM, Arburg GmbH + Co. KG, Physikalisch Technische Bundesanstalt (PTB), Sensitec GmbH, MEAS Deutschland GmbH and Microelectronic Packaging Dresden GmbH (MPD). Focus of the project was on detection of stress generated within packaging processes and during environmental testing as well as numerical simulations of the thermo-mechanical behaviour.

1 Einführung

Um die Zuverlässigkeit elektronischer Mikrosysteme (MST) auch bei fortschreitender Komplexität und Miniaturisierung zu garantieren, ist ein quantifizierbares Systemverständnis unerlässlich. Eine besondere Bedeutung hat dabei die Charakterisierung der Aufbau- und Verbindungstechnik (AVT). Sie stellt das Interface zwischen Mikrosystem und makroskopischer Applikationsumgebung dar und verbindet bei der Verkapselung die einzelnen Komponenten zu einem physikalisch eng gekoppelten Gesamtsystem. Vor allem durch die Integration von Sensoren und Aktuatoren in elektronische Systeme wandelt sich die klassische Ein-Chip-Gehäusung in einen komplexen Verkapselungsprozess. Dessen korrekte Beschreibung stellt die Grundlage für alle folgenden Zuverlässigkeitsanalysen dar. Deutlich wird dies beispielsweise bei der Integration von MEMS-Sensoren in Multi-Chip-Module [1].

Da Funktion und Qualität von MST-Sensoren durch die AVT beeinflusst werden, kann die mechanische Belastung der Mikrosysteme während des Verpackungsprozesses und auch der Einfluss der Verpa-

ckung auf die Lebensdauer nicht mehr vernachlässigt werden. Vielmehr müssen thermomechanische Spannungen aufgrund unterschiedlicher thermischer Ausdehnungskoeffizienten der verwendeten Materialien ebenso berücksichtigt werden wie der Einfluss von Herstellungsprozess und Umweltbedingungen auf die Gehäuseeigenschaften. Diese Einflüsse zu quantifizieren und damit eine Messgröße zu gewinnen, mit der sich Verpackungsprozesse besser kontrollieren und optimieren lassen, war Thema des Verbundprojektes iForceSens.

Im Rahmen von iForceSens wurde insbesondere von der Robert Bosch GmbH und dem Transferzentrum Mikroelektronik (TZM) ein integriertes Stressmesssystem entwickelt. Dieses ermöglicht es, die mechanische Belastung von Mikrosystemen zu quantifizieren, wie sie beispielsweise aufgrund der Verpackungsprozesse sowie infolge von Umwelteinflüssen während ihrer Lebensdauer auftreten. Der Grundgedanke dabei ist, dass Stresssensenchips anstelle der MST-Bauteile deren Verarbeitungs- und Erprobungsschritte durchlaufen und die dabei auftretenden Stresseinträge detektieren.

Durch Modellierung der AVT und der Verpackung von MST-Systemen durch Simulation und messtechnischer Verifikation kann damit ein detailliertes Verständnis der verpackungsbedingten mechanischen Belastung erworben werden. Damit verbunden ist die Möglichkeit, Regeln für ein stressunempfindlicheres Design und eine stressärmere Verarbeitung von Mikrosystemen abzuleiten.

Im Einzelnen wurden folgende Projektziele durch das Konsortium erreicht:

- Entwicklung eines flexiblen und robusten Stressmesssystems bestehend aus Stresssensor-ASIC und zugehörigem Steuergerät, um bei verschiedensten mikrosystemtechnischen AVT- und Verpackungsprozessen die mechanische Belastung des MST-Chips zu erfassen
- Anwendung des Stressmesssystems zur Charakterisierung der AVT- und der Verpackungsprozesse von Magnet- und Inertialsensoren hinsichtlich des Stresseintrags auf den Sensorchip
- Anwendung des Stressmesssystems zur experimentellen Untersuchung der Umgebungseinflüsse wie Temperatur und Feuchte auf den verpackungsbedingten Stresseintrag
- Verifikation der Stressmessungen durch Referenzuntersuchungen mittels ortsaufgelöster Röntgenbeugung
- Entwicklung von AVT- und Verpackungsmodellen zur Simulation des verpackungsbedingten Stresseintrags sowie Verifikation der Simulationsmodelle anhand der messtechnischen Untersuchungsergebnisse

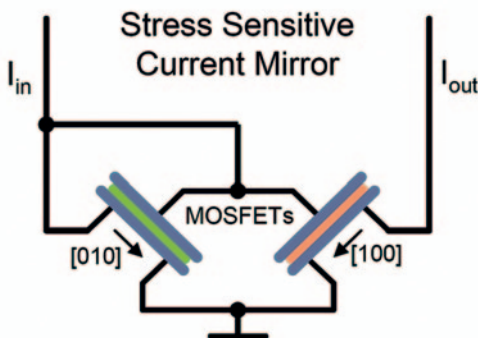


Abb. 1: Stressempfindlicher Stromspiegel mit orthogonal zueinander orientierten MOSFET-Kanälen

2 Das Stressmesssystem

Das Stressmesssystem basiert auf einem Stresssensor-ASIC, der mit einem speziellen ASIC-Steuergerät ausgelesen wird und der auch die Datenaufbereitung übernimmt [2]. Die Sensierung der mechanischen Spannungen erfolgt basierend auf dem piezoresistiven Effekt – der elektrische Widerstand in Silizium zeigt eine anisotrope Abhängigkeit von der mechanischen Spannung [3]. Der im Projekt *iForceSens* entwickelte Stresssensor-ASIC verwendet nMOS- und pMOS-Stromspiegel mit orthogonal zu einander orientierten Transistorkanälen (Abb. 1).

Aus der relativen Differenz der Zweigströme detektiert der Stresssensor-ASIC die Differenz σ_D der Normalspannungen σ_{xx} und σ_{yy} sowie die Scherspannung σ_{xy} in der Chipebene (*in-plane*).

$$\sigma_{xy} = \frac{1}{\pi_{11}^{(n)} - \pi_{12}^{(n)}} \frac{I_{[100]} - I_{[010]}}{I_{[100]} + I_{[010]}}$$

$$\sigma_D \equiv \sigma_{xx} - \sigma_{yy} = \frac{2}{\pi_{44}^{(p)}} \frac{I_{[110]} - I_{[-110]}}{I_{[110]} + I_{[-110]}}$$

Die gewählte Dotierung ist durch die Indizes (n) und (p) angegeben. Als weitere Sensierungsgröße kann aus dem Verhältnis der Summe der Zweigströme in einem Ausgangsstresszustand S1 und einem Endstresszustand S2 die Änderung der Summe der *in-plane* Normalspannungen, das heißt, der Summenstresseintrag zwischen diesen beiden Stresszuständen bestimmt werden [4]:

$$\Delta\sigma_s \equiv [\sigma_{xx} + \sigma_{yy}]_{S1}^{S2} \approx \frac{2}{\pi_{11}^{(n)} + \pi_{12}^{(n)}} \left(1 - \frac{I_{ein}^{S2} + I_{aus}^{S2}}{I_{ein}^{S1} + I_{aus}^{S1}} - \pi_{12}^{(n)} \Delta\sigma_{zz} \right)$$

Aus dem Differenz- und Summenstress lassen sich direkt die einzelnen *in-plane* Normalspannungskomponenten bestimmen.

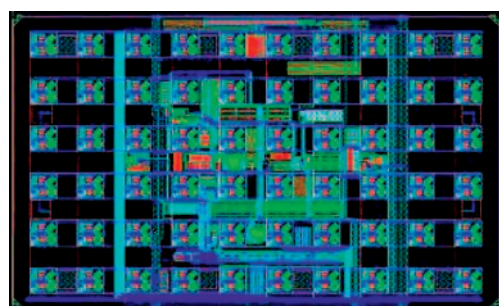
$$\Delta\sigma_{xx} = (\Delta\sigma_s + \Delta\sigma_D) / 2$$

$$\Delta\sigma_{yy} = (\Delta\sigma_s - \Delta\sigma_D) / 2$$

Zu beachten ist hierbei, dass die unbekannte *out-of-plane* Normalspannungskomponente $\Delta\sigma_{zz}$ das Ergebnis verfälschen kann. Die Normalspannungsdifferenz

und die Scherspannung werden als absolute Stresszustandsgrößen sensiert. Bezüglich Summenstress und der einzelnen Normalspannungskomponenten ist die Erfassung auf Stressänderungen zwischen zwei Belastungszuständen begrenzt. Das ist jedoch keine wirkliche Einschränkung, da hinsichtlich der Untersuchung von verpackungs- und umweltbedingten Stresseinträgen insbesondere die durch einen Belastungsprozess verursachte Stressänderung von Interesse ist.

Der Summenstresseintrag wie auch die Änderung der einzelnen Normalspannungskomponenten wird mit einer Auflösung von etwa 13 % erfasst. Im Fall des Scherspannungs- und des Differenzstresseintrags ist die Auflösung mit etwa 4,5 % und 1,2 % noch wesentlich besser. Zur orts aufgelösten Sensierung der lateralen Stressverteilung enthält der Stresssensor-ASIC bis zu 67 Messzellen. Diese sind gemäß dem in *Abbildung 2* dargestellten Sensor-Layout in einem regelmäßigen Raster über die gesamte Chipfläche verteilt angeordnet. Die einzelnen Stromspiegel haben Abmessungen von ungefähr $50 \times 50 \mu\text{m}^2$.



Chip-x-Achse parallel zur [-110]-Richtung

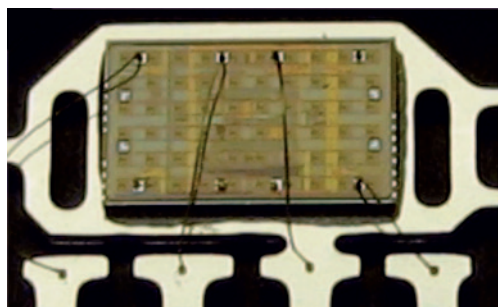


Abb. 2: Stresssensorvariante mit $2,83 \times 1,71 \text{ mm}^2$ Chipfläche und 6×10 Messzellen. Oben: Elektrisches Layout; unten: Aufgebauter Chip mit PSSO-4 Leadframe

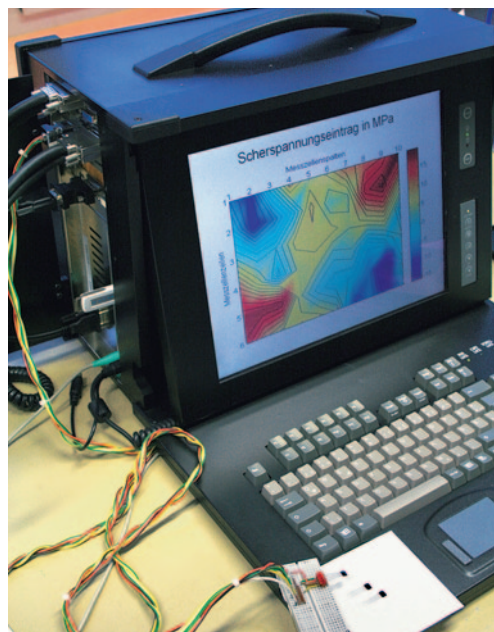


Abb. 3: Tragbares Mess- und Steuergerät für den ASIC-Stressmesschip (Herstellung: Transferzentrum Mikroelektronik, TZM)

Damit kann trotz des Messzellenabstands von $260 \mu\text{m}$ mittels Interpolation eine Ortsauflösung von $50 \mu\text{m}$ erreicht werden. Zusätzlich zu den Stromspiegeln befindet sich in jeder Messzelle auch ein npn-Bipolartransistor. Dieser wird als Diode geschaltet und ermöglicht in Ergänzung zur Stresssensierung auch die orts- und zeitaufgelöste Temperatursensierung. Durch eine in einem weiten Bereich an den zu untersuchenden Belastungsprozess anpassbare Konfiguration des Messsystems erlaubt dieses ebenfalls die Sensierung des zeitlichen Stressverlaufs am Ort einzelner frei wählbarer Messzellen mit einer Zeitauflösung von bis zu 50 ms.

Hinsichtlich einer möglichst großen Anwendungsflexibilität wurde der Stresssensor-ASIC in insgesamt 4 Layoutvarianten realisiert. Diese unterscheiden sich mit Flächen von ungefähr 1 bis 7 mm^2 im Wesentlichen in der Chipgröße.

Die Vielfalt der Chipdesigns ermöglicht die Charakterisierung unterschiedlichster AVT-Prozesse, beispielsweise für Duoplastverkapselung, Chip on Board oder Thermoplastspritzguss. Darüber hinaus können drei Varianten aufgrund ihrer spiegelsymmetrischen Bondpad-Anordnung auch zu Stressunters-

chungen bei Flip-Chip-Aufbauten verwendet werden. Eine Variante besitzt an den Chiprändern keine Messzellen und ermöglicht so die für MEMS-Bauelemente typische Verkappung mittels Silizium-Chip beziehungsweise Kappenwafer.

Der Stresssensor-ASIC wird in einem etablierten hochvolumigen Halbleiter-Fertigungsprozess mit hoher Ausbeute hergestellt. Die Prozessierung erfolgt auf 8-Zoll-Wafern. Auf jedem Wafer befinden sich mehr als 3400 Chips verschiedener Varianten. Mit einer Dicke von 725 µm bieten die Wafer dem Nutzer ausreichend Spielraum für eine Dickenanpassung an den zu ersetzenden MST-Chip.

Die externe Triggerbarkeit des Messablaufs ermöglicht dessen Synchronisation mit dem Verpackungsprozess. Trotz der Vielzahl von Messzellen hat der Stresssensor-ASIC nur vier Anschlüsse und ermöglicht dadurch die Verpackung auch in kleinen Gehäusen mit nur wenigen Pins. Dadurch wie auch durch die Verfügbarkeit von insgesamt vier Sensorvarianten mit unterschiedlichen Chipabmessungen und Messzellenanzahl bietet das Messsystem eine hohe Anwendungsflexibilität zur Untersuchung unterschiedlichster AVT- und Verpackungsprozesse.

Durch die kompakte und robuste Ausführung des ASIC-Steuergerätes ist das Messsystem für den mobilen Einsatz sowohl in Labor- als auch in Fertigungsumgebung geeignet.

3 Stresseintrag im AVT-Prozess

Das Stressmesssystem wurde sowohl zur Untersuchung unterschiedlicher Aufbau- und Verpackungsprozesse als auch zur Quantifizierung des Einflusses von Umgebungsbedingungen wie Temperatur und Luftfeuchte eingesetzt. Der untersuchte Verpackungsprozess umfasst das Die- und Drahtbonden (*Robert Bosch GmbH*), das Transfermolden (*Fraunhofer IZM*), die Nachvernetzung (*Robert Bosch GmbH*) sowie die Sekundärverkapselung im Spritzguss (*Arburg GmbH, Robert Bosch GmbH*). Für die Ergebnisse aus den Chip-on-Board-Aufbauten sowie der Flip-Chip-Montage wird auf den Abschlussbericht des Projekts verwiesen [5].

Die Untersuchungen des *Fraunhofer IZM* konzentrierten sich exemplarisch auf den Stresseintrag in ein PSSO4-Gehäuse (Abb. 4).

Die vom *Fraunhofer IZM* durchgeführten Arbeiten beinhalten die Herstellung des Leadframes und des

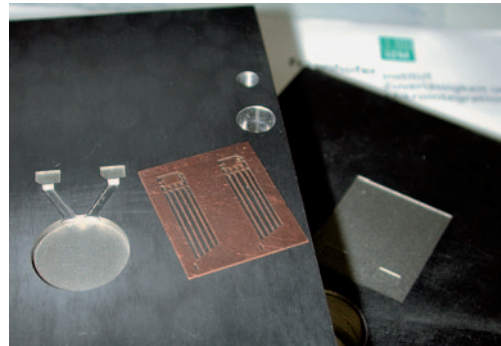


Abb. 4: PSSO4-Leadframe und Werkzeugform zur Duroplastverkapselung

Moldwerkzeuges sowie die Fließsimulation des Transfermoldprozesses und die Struktursimulation. Sämtliche messtechnischen Untersuchungen des verpackungsbedingten Stresseintrags wurden von der *Robert Bosch GmbH* durchgeführt.

Die Primärverkapselung eines mikroelektronischen Bauteils im Transfermolding gliedert sich in die Phasen:

1. Erwärmung von Materialtablette und Einlegeteilen
2. Druckaufbau, Schmelzen der Moldmasse, Füllung des Angussystems
3. Füllung der Kavität mit Moldmasse
4. Nachdruckphase zur Materialverdichtung und Aushärtung des Polymers
5. Auswerfen des Bauteils aus der Werkzeugform

Das Prozessfenster beim Transfermolding (Abb. 5) wird im Wesentlichen von der Fließfähigkeit des Polymers bestimmt. Wird den ersten zwei Phasen des Verkapselungsprozesses zu wenig Zeit eingeräumt, kann hochviskoses, nur ungenügend erwärmtes Polymer die Elektronik beim Füllen der Kavität beschädigen (Drahtbondverwetzung, Chipbruch). Die einhergehenden hohen Vorschubgeschwindigkeiten führen ebenfalls zur erhöhten Druckbelastung. Im Gegensatz zu Thermoplasten tritt bei Duroplasten in der beheizten Werkzeugform eine irreversible Vernetzung des Materials auf. Wird daher die Verkapselungszeit zu lang gewählt, erfolgt die Polymerisation bereits in der Füllphase und die Viskosität des Polymers steigt deutlich an. Lange Verkapselungszeiten sind ebenfalls verbunden mit einer unzureichenden Scherung im Material, das Polymer verflüssigt nur

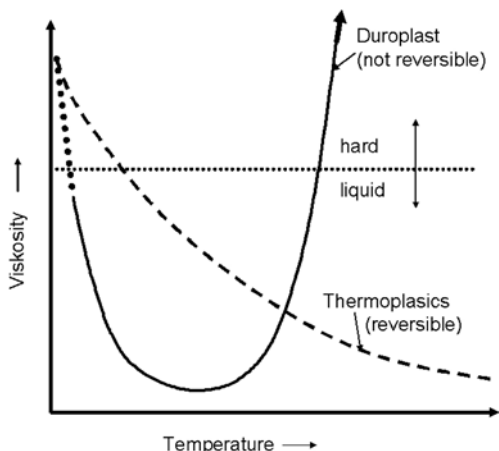


Abb. 5: Prozessfenster im Transfermolding

geringfügig und verstärkt so die Ausbildung von Lufteinschlüssen oder Fehlstellen durch mangelhafte Verdichtung in der Nachdruckphase.

Bei einer gut ausbalancierten Lage des Leadframes sollte es beim Füllen der Kavität auf keiner Seite des zu verkapselnden Sensors zu einem Vorlaufen des Polymers kommen. Entsprechend tritt auch keine Druckdifferenz auf, die zu einer Verwölbung des Leadframes während der Verkapselung führen könnte.

Mit Hilfe der numerischen Simulation wurden Angussssystem und Kavität am *Fraunhofer IZM* optimiert und entsprechend gefertigt. Die PSSO4-Verpackungsuntersuchung erfolgte anhand der in *Abbil-*

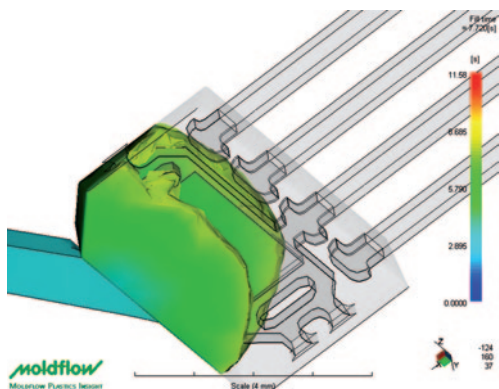


Abb. 6: Beispiel für einen schlecht balancierten Anguss mit ungleichmäßiger Füllung der Kavität auf beiden Bauteilseiten

dung 2 dargestellten Stresssensorvariante. Die Stressmesschips wurden auf dem in *Abbildung 3* und *4* dargestellten Zweifach-Leadframe aufgebaut und anschließend umspritzt. *Abbildung 7* zeigt den in PSSO4-Duroplastgehäuse fertig verpackten Stresssensor vor dem Heraustrennen aus dem Leadframe.

Die numerischen Simulationen zeigen, dass die Duroplastverkapselung bei korrekter Parameterwahl weitgehend spannungsarm ablaufen kann. Da während der Verkapselung an sich keine Stressmessung möglich ist, wurde zunächst ausschließlich der Stresseintrag durch die Abkühlung von Postcuring- (175 °C) auf Raumtemperatur (23 °C) untersucht. Die aktuellen Arbeiten der *Robert Bosch GmbH* und des *Fraunhofer IZM* fokussieren sich auf die Frage, ob und in wie weit die Prozessparameter beim Transfermolding und die Temperaturführung beim Nachhärten einen Einfluss auf den Stresseintrag haben. Hierfür gibt es in der Literatur Anhaltspunkte [6]. Dass je nach Temperaturverlauf und Bauteildesign bei der Aushärtung Spannungen aufgrund des Materialschrumpfs auftreten, zeigen beispielsweise Untersuchungen des für den Stress relevanten Polymerisationsschrumpfs mit *Faser-Bragg-Gittern* (*Abb. 8*) [7, 8, 9].

Nach dem Moldprozess wird das Bauteil dem Werkzeug entnommen und auf Raumtemperatur abgekühlt. Der Glasübergangspunkt des Moldwerkstoffs wird im Folgenden als spannungsfrei idealisiert, der thermisch-rheologisch einfache Werkstoff wird mit linear-viskoelastischen Eigenschaften beschrieben. Für den Fall, dass im Prozess auftretende Spannungen während des Postcurings relaxieren [10], tritt im

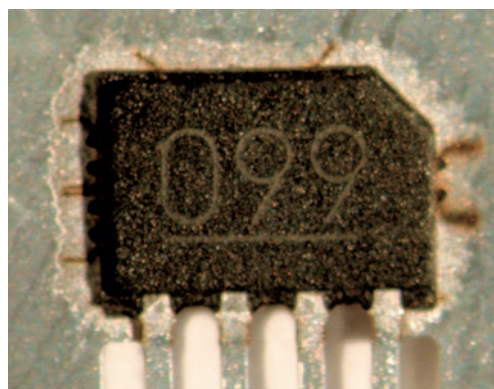


Abb. 7: PSSO4 verpackter Stresssensor nach der Laserbearbeitung zur Vereinzelung vom Leadframe.

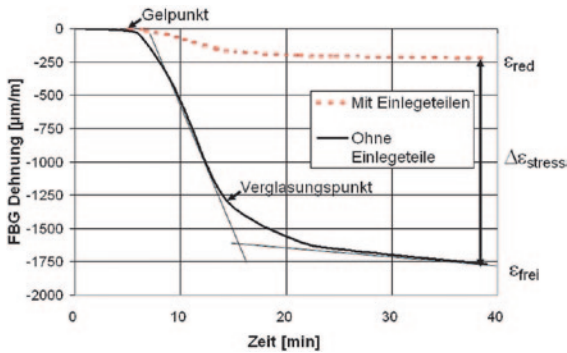


Abb. 8: Für den Stressaufbau nach der Vergelung relevanter Polymerisationsschrumpf, gemessen mit faser-optischen Bragg Gittern.

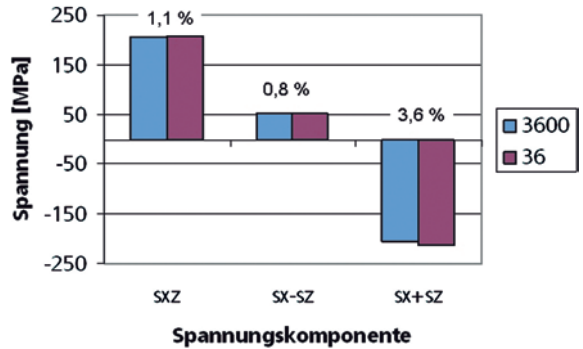


Abb. 10: Vergleich der mechanischen Spannungen bei unterschiedlichen Abkühlzeiten

Moldprozess ausschließlich thermischer Schrumpf durch Abkühlung auf. Die resultierenden mechanischen Spannungen werden im Folgenden durch ein Simulationsmodell abgeschätzt. Die Vernetzung des PSSO4-Bauteils erfolgt mit Hexaedern, die bei gleicher Genauigkeit wesentlich geringere Rechenzeiten erfordern und somit die Studie zahlreicher Prozessparameter ermöglichen (Sensitivitätsanalyse).

Ein Ergebnis dieser Untersuchung ist, dass die Dauer des Abkühlens einen wesentlich geringeren Einfluss auf die Spannungen an der Oberfläche des Chips hat, als zunächst vermutet. Die Unterschiede in der Summen-, Differenz- und Scherspannung sind in *Abbildung 10* für Abkühlzeiten 36 s und 3600 s von 175 °C auf 23 °C dargestellt. Der Unterschied beträgt durchgehend weniger als 5 %. Im weiteren Verlauf des Projektes wurde der Einfluss der Abkühlzeit ver-

nachlässigt und immer mit der gleichen Abkühldauer von 10 min gerechnet.

Zur Messung des durch den kompletten PSSO4-Verpackungsprozess verursachten Stresseintrags wurden die unverpackten Stresssensorchips direkt nach deren Vereinzelung bei Raumtemperatur vermessen. Dieser Stresszustand stellt den Ausgangszustand dar. Die Endzustandsmessung erfolgte nach dem Aufbau und Transfermolden an den fertig verpackten Stresssensoren wiederum bei Raumtemperatur. Dementsprechend umfasst der gemessene Stresseintrag den Beitrag durch Ausbildung der Klebeverbindung zwischen Sensorchip und Leadframe, den Beitrag durch Vernetzung der Moldmasse sowie den Beitrag durch Abkühlung von Prozess- auf Raumtemperatur.

Abbildung 11 zeigt die laterale Verteilung des gemessenen Differenzstresseintrags über den Bereich der von den Messzellen abgedeckten Chipfläche von 2,5 x 1,4 mm². Es handelt sich jeweils um die über den Probenumfang von 17 Bauteilen gemittelte Verteilung. Auffallend ist die zu den Chip-Mittelachsen weitgehend spiegelsymmetrische Verteilung beider Stressgrößen. Der Differenzstress ist im Randbereich der Chipfläche nahe der Kantenmitte mit +40 MPa und -60 MPa maximal. Die Simulationswerte zwischen -60 MPa und +20 MPa bestätigen die Messergebnisse. Die Standardabweichung der Stressverteilungen der 17 Bauteile lagen bei 5 bis 10 MPa. Diese Streuung wird weniger auf Sensierungungenauigkeiten als vielmehr auf Prozessstoleranzen während der PSSO4-Verpackung zurückgeführt.

Auch bei den Scherspannungseinträgen besteht eine qualitative als auch quantitative Übereinstimmung

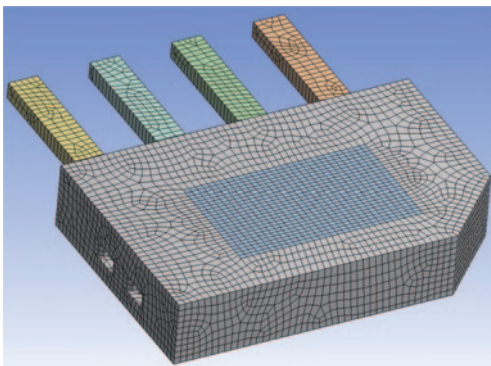
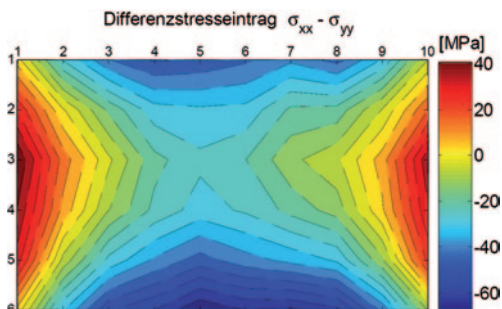


Abb. 9: Finite-Element-Netz von Stressmesschip, Leadframe und Moldmasse

Messwerte:



Simulation:

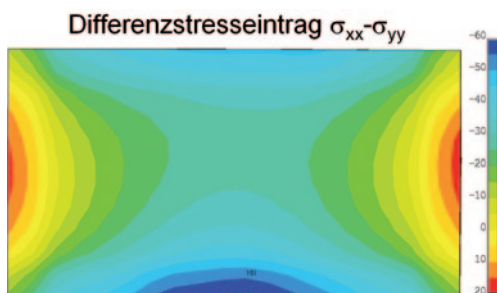
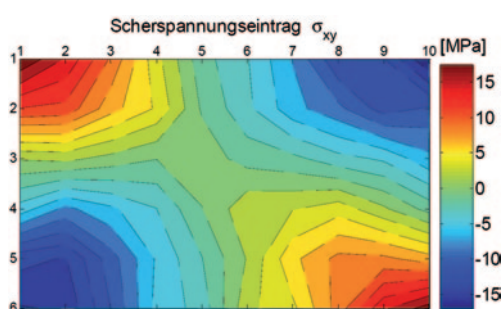


Abb. 11: Vergleich von Simulation (unten) und Messung (oben) des abkühlungsbedingten Differenz-Spannungseintrags beim PSSO4 Package

Messwerte:



Simulation:



Abb. 12: Vergleich von Simulation (unten) und Messung (oben) des abkühlungsbedingten Scherspannungseintrags beim PSSO-4 Package

zwischen Simulation und Experiment (Abb. 12). Die Extremwerte in den Chipcken betragen im Experiment +/- 17 MPa, in der Simulation +/- 20 MPa.

Bezüglich der absoluten Differenzspannung im verpackten Zustand lieferte auch die röntgenographische Spannungsmessung eine weitgehend übereinstimmende Stressverteilung. Die insgesamt sehr gut übereinstimmenden Ergebnisse sprechen dafür, dass der dominierende Anteil des prozessbedingten Stresseintrags auf die Abkühlung von Prozess- auf Raumtemperatur zurückzuführen ist. In so fern kann in erster Näherung davon ausgegangen werden, dass bei der Poscuringtemperatur ein vernachlässigbarer Verpackungstress vorliegt. Näheres hierzu findet sich im Abschlussbericht des Projektes.

Die in PSSO4-Duroplastgehäuse primärverpackten Stresssensorchips wurden in einem zweiten Verpackungsprozess bei der *Arburg GmbH* einer zusätzlichen Thermoplastumspritzung unterzogen. Die diesbezüglichen Verpackungstressuntersuchungen wurden von der *Robert Bosch GmbH* durchgeführt.

Die Messungen des zeitlichen Stressverlaufs während des Umspritzprozesses offenbaren einen deutlichen Einfluss der Aufbau- und Verbindungstechnik auf den Stresseintrag. Je nach AVT-Variante liegen an der Chipoberfläche nach dem Spritzguss Zug- oder Druckspannungen bis zu 100 MPa an. Die weiterhin durchgeführten messtechnischen Untersuchungen zum Einfluss von Umgebungsbedingungen ergaben für die Abkühlung der Duroplast-Thermoplast-Doppelverpackung von 125 °C auf Raumtemperatur einen massiven temperaturbedingten Druckspannungseintrag von bis zu 225 MPa. Dieser liegt damit um 60 bis 70 MPa über dem temperaturbedingten Druckspannungseintrag der PSSO4-Primärverpackung bei entsprechender Abkühlung. Die Feuchteaufnahme bei 85 °C und 85 % relativer Luftfeuchte erfolgt wesentlich langsamer als bei alleiniger Primärverpackung. Eine Sättigung wird erst nach etwa 100 Stunden erreicht im Gegensatz zum reinen Epoxidverguss, der eine Sättigung nach 15 bis 20 h aufweist. Über diesem Zeitraum führt die Feuchteaufnahme zu einem Zug-

spannungseintrag von bis zu 57 MPa entlang einer der Chipachsen und ist damit um einen Faktor 2,5 größer als bei alleiniger Primärverpackung.

4 Stressmessung als Dienstleistung

Die Projektergebnisse haben die Leistungsfähigkeit des Stresssensor-ASICs und des ASIC-Steuergerätes eindrucksvoll unter Beweis gestellt. Insbesondere die direkte Erfassung der Stresseinzelkomponenten verbunden mit einer hohen zeitlichen sowie räumlichen Auflösung ermöglichen neue Einsichten in die Aufbau- und Verbindungstechnologien der Mikroelektronik. Die Anwendbarkeit des Stressmesssystems auf neue Fragestellungen wird ermöglicht durch die Verfügbarkeit unterschiedlicher Stresssensorvarianten, die Auswahl einzelner oder auch aller Messzellen, die Einstellbarkeit von Zeitparametern sowie die Kombinierbarkeit unterschiedlicher Messkonfigurationen in einer Sequenz. Für die Synchronisation von Verarbeitungsprozess und Messablauf stellt die externe Triggerbarkeit des Messsystems eine wichtige Funktionalität dar.

Aufgrund dieser zahlreichen Vorteile hat das *Fraunhofer IZM* sowohl ein Stressmessgerät der *TZM* angeschafft als auch acht Wafer mit Stressmesschips. Die einzigartige Möglichkeit, Stressverteilungen schnell, genau und mit hoher Ortsauflösung zu detektieren, ermöglichen es dem *Fraunhofer IZM*, wertvolle Einblicke unter anderem in folgende Fragestellungen zu erhalten:

- Stresseintrag beim Dünnen von Wafern und bei der Integration gedünnter Chips in Leiterplatten oder andere polymere Schaltungsträger
- Stresseintrag bei den bereits im Projekt *iForceSens* untersuchten AVT-Prozessen, insbesondere auch bei der Bauteilmontage auf Leiterplatten
- Optimierung von Verguss- und Verkapselungsprozessen hinsichtlich minimalem Spannungseintrag und gegebenenfalls thermischer Ausheilung von Spannungen im Postcuring
- Minimierung der Substratverwölbung beim Überspritzen von Wafern und anderen elektrischen Verbindungsträgern (Leiterplatten, Keramik)
- Untersuchung gängiger Zuverlässigkeitsexperimente hinsichtlich Veränderungen im Stresseintrag und gegebenenfalls Korrelation mit entsprechenden Schädigungsmechanismen

Denkbar sind auch Anwendungen im Bereich des *Structural Health Monitoring*, bei dem die Entwicklung von Schadensbildern anhand des Stressverlaufs verfolgt werden könnte. Es wird erwartet, dass sowohl Projekte mit experimentellem als auch solche mit theoretischem Hintergrund von der Leistungsfähigkeit des Stressmesschips profitieren werden.

Danksagung

Dem Bundesministerium für Bildung und Forschung (BMBF) wird für die Förderung dieses Verbundvorhabens gedankt. Thomas Kaffler und Lutz-Günter John von der VDI/VDE Innovation und Technik GmbH sei für ihre wertvolle administrative Unterstützung und fachliche Betreuung ausdrücklich gedankt. Dank gebührt ebenfalls den nicht namentlich genannten Beteiligten am Verbundprojekt, insbesondere aus der Robert Bosch GmbH. Aus dessen Abschlussbericht sind große Teile dieser Veröffentlichung entnommen. Das Fraunhofer IZM bedankt sich ebenfalls bei Stefan Endler, Robert Bosch GmbH, für seine Unterstützung.

Literatur

- [1] R. Müller-Fiedler, V. Knobloch: Reliability aspects of microsensors and micro-mechatronic actuators for automotive applications. *Microelectronics Reliability* 2003; 43: 1085–1091
- [2] H. Kittel: Novel stress measurement system for evaluation of package induced stress; smart systems integration, Barcelona, Spain 9–10 April 2008
- [3] R. C. Jaeger, J. C. Suhling, R. Ramani, A. T. Bradley, J. Xu: CMOS stress sensors on (100) Silicon. *IEEE J. Solid State Circuits* 2000; 35(1): 85–95
- [4] S. Endler: Charakterisierung piezoresistiver Stresssensoren unter definierter Einleitung mechanischer Spannungen, Diplomarbeit 2006, Robert Bosch GmbH (2006)
- [5] Abschlussbericht zum Verbundvorhaben *iForceSens* – Entwicklung eines integrierten Stressmesssystems zur Quantifizierung der 3D-Verformung von Sensorbauelementen in Abhängigkeit des Verpackungsprozesses, Projektkoordination: Dr. H. Kittel, VDI/VDE-IT-Reihe: Innovation in der Mikrosystemtechnik, BMBF Bibliothek Forschung und Technologie, Bonn, 2009
- [6] D.G. Yang, K.M.B. Jansen, L.J. Ernst, G.Q. Zhang, W.D. van Driel, H.J.L. Bressers: Modeling of cure-induced warpage of plastic IC packages, *EuroSimE 2004, proceedings*, pp. 33–40
- [7] T. Schreier-Alt, F. Ansoorge, H. Reichl: Fiber Optic Strain and Structural Health Monitoring in Polymer Electronic Packaging, *Electronic Components and Technology Conference, 2007. ECTC '07. Proceedings. 57th, May 29 2007–June 1 2007, Reno, USA*
- [8] M. Harsch: Methoden und Ansätze zur spannungsarmen Vernetzung von Epoxidharzen, IVW-Schriftenreihe Band 76, Institut für Verbundwerkstoffe GmbH, Kaiserslautern, Dissertation, 2008
- [9] T. Schreier-Alt: Polymerverkapselung mechatronischer Systeme – Charakterisierung durch eingebettete Faser Bragg Gitter Sensoren, Dissertation, TU Berlin, 2006
- [10] M.-Y. Tsai, C.T. Wang, C.H. Hsu: The Effect of Epoxy Molding Compound on Thermal/Residual Deformations and Stresses in IC Packages During Manufacturing Process, *IEEE Trans. Comp. Pack. Tech.*, vol. 29, pp. 625–635

Kontaktadressen

Dr.-Ing. Thomas Schreier-Alt, Dipl.-Ing. Katrin Niehoff, Dr.-Ing. Frank Ansoorge, Fraunhofer IZM, MikroMechatronikZentrum, Argelsrieder Feld 6, D-82234 Oberpfaffenhofen, Tel. +49/8153/90975-00, katrin.niehoff@mmz.izm.fraunhofer.de

Dipl.-Ing. (FH) Florian Schindler-Saefkow, Fraunhofer IZM, Micro Materials Center Berlin, Gustav-Meyer-Allee 25, D-13355 Berlin

Dr. Hartmut Kittel, Robert Bosch GmbH, Chassis Systems Control, D-74232 Abstatt