## **THT-Lötstellen: Warum DfM-Regeln allein nicht ausreichen -**

## **Versteckte Risiken und Kosten der Through Hole Technology**

von Dr.-Ing. Reinhardt Seidel, DEEPTRONICS GmbH

# Versteckte THT Risiken

PCB-Designer kennen das Problem: Selbst bei strikter Einhaltung aller DfM-Regeln entstehen in der Serienproduktion unerwartete THT-Lötprobleme. Besonders bei High-Power-Elektronik mit mehreren Kupferlagen und dicken Leiterplatten (>1,6 mm) zeigen sich die Grenzen herkömmlicher Design-for-Manufacturing-Ansätze.

Die Realität: Der größte Teil der THT-Risiken wird durch Standard-DfM-Checks nicht erfasst. Diese Lücke klafft besonders bei anspruchsvollen High-Power Baugruppen auf, weil hier die Effekte des PCB-Designs besonders stark zum Tragen kommen.

Das führt zu kostspieligen Prototyp-Schleifen, Nacharbeit und Terminverzögerungen.

**Die Physik hinter dem Problem**

THT-Lötstellen sind komplexe multiphysikalische Systeme. Ihre Qualität hängt von zahlreichen Faktoren ab, die sich gegenseitig beeinflussen:

* Thermische Masse: Kupferlagen, Leiterplattendicke und Bauteilgröße
* Prozessparameter: Lötzeit, Temperaturprofile, Flussmittel und Legierung
* Geometrische Einflüsse: Pin-zu-Loch-Verhältnis, Kuferanbindung und -verteilung
* Maschinenspezifika: Prozessart, Düsenkonfiguration, Wellenhöhe, Vorheizung

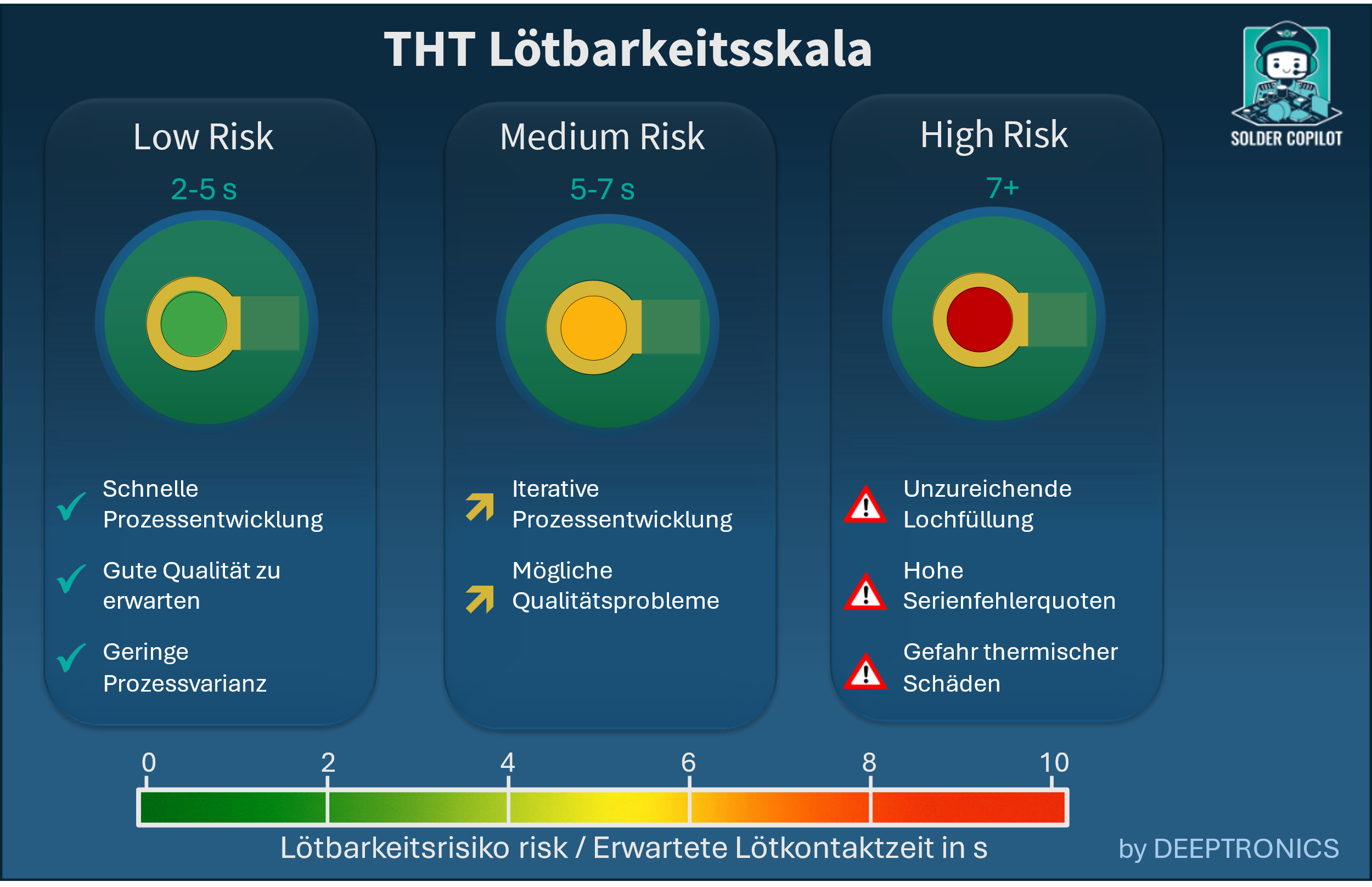
Herkömmliche DfM-Regeln betrachten diese Faktoren unzulänglich, sondern definieren schlichte Regeln, die meist nur Mindestabstände oder einen Lochdurchmesser definieren. Doch erst das Zusammenspiel aus Baugruppendesign und Lötprozess bestimmt die tatsächliche Lötbarkeit.

**Risken identifizieren durch prozessbasierte Berechnung statt Schätzung**

Was wäre, wenn Sie bereits im Design-Stadium wüssten, welche Lötstellen problematisch werden? Wenn Sie quantifizieren könnten, wie sich Design-Änderungen auf die Fertigbarkeit auswirken?

Ein digitaler Zwilling des THT-Lötprozesses macht genau das möglich. Er simuliert die Prozessphysik und bewertet jede Lötstelle individuell:

* Grüne Lötstellen: < 5 s robuste Prozessfenster
* Gelbe Lötstellen: 5-7 s iterative Prozessentwicklung nötig
* Rote Lötstellen: > 7 s hohes Risiko für unzureichende Durchlötung



**Risikominimierung im Design-Stadium für hohe Qualitätsanforderungen**

Durch den physikbasierten Ansatz des Solder Copilot wird die subjektive Beurteilung durch manuelles Überprüfen durch quantifizierte Risikobewertung ergänzt. Kritische THT-Lötstellen bereits vor dem Layout-Freeze und der Prototypenbestellung identifiziert und Fehler behoben werden, bevor sie teuer werden.

Das Ergebnis: Weniger Prototyp-Schleifen, schnellere Markteinführung und höhere Fertigungsqualität.

Indizien für versteckte Risiken können bereits an einfachen Faustregeln identifiziert werden:

1. Dicke Leiterplatten (>1,6 mm) mit vielen Kupferlagen (>4 Layer)
2. Dicken Kupferlagen > 35µm
3. High-Power-Komponenten (Elkos, Shunts, Transformatoren)
4. Einsatz von Lötmasken für Wellen- und Selektivwellenlötungen bei dichter Bestückung



Über den Autor: Dr.-Ing. Reinhardt Seidel hat die DEEPTRONICS GmbH aus der Forschungsarbeit am Lehrstuhl FAPS der FAU Erlangen-Nürnberg ausgegründet. Er ist Experte für THT-Layout, THT-Lötprozesse und digitale Zwillinge in der Elektronikfertigung.

*\*Kontakt: reinhardt.seidel@deeptronics.io | www.deeptronics.io\**